

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 02-151073  
(43) Date of publication of application : 11.06.1990

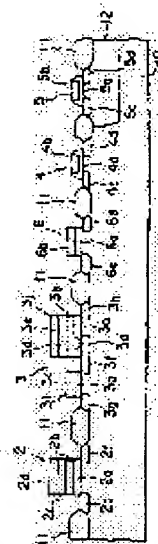
(51) Int. Cl. H01L 29/788  
H01L 27/115  
H01L 29/792

(21) Application number : 63-305002 (71) Applicant : TOSHIBA CORP  
(22) Date of filing : 01.12.1988 (72) Inventor : WADA MASASHI

**(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE****(57) Abstract:**

**PURPOSE:** To simplify the manufacturing process of a semiconductor device by forming a nonvolatile memory which has a floating gate and executes a program by injecting hot electrons, another nonvolatile memory which executes a program by injecting and discharging a tunnel current, and logic circuit having a logical function.

**CONSTITUTION:** An EPROM cell 2 and E2PROM cell 3 are respectively provided with floating gates 2b and 3b through gate insulating films 2a and 3a. A nonvolatile memory which has the floating gates 2b and 3b and executes a program by injecting hot electrons produced in a substrate 10, another nonvolatile memory which executes a program by injecting and discharging electric charges by means of a tunnel current, and a logic circuit having a logical function are formed on the substrate 10. The gate insulating films 2a and 3a of both nonvolatile memories and the gate insulating film 6a of a high breakdown strength transistor 6 are simultaneously formed to the same thickness. Therefore, the manufacturing process can be simplified and shortened.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision  
of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

## ⑫ 公開特許公報(A)

平2-151073

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)6月11日

H 01 L 29/788  
27/115  
29/7927514-5F H 01 L 29/78 3 7 1  
8624-5F 27/10 4 3 4

審査請求 有 請求項の数 2 (全7頁)

⑮ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 昭63-305002

⑰ 出 願 昭63(1988)12月1日

⑱ 発 明 者 和 田 正 志 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 佐藤 一雄 外3名

## 明 細 書

## 1. 発明の名称

半導体装置及びその製造方法

## 2. 特許請求の範囲

1. 単一の半導体基板上に、浮遊ゲートを有し前記基板内で発生したホットエレクトロンを注入してプログラムを行う不揮発性メモリと、浮遊ゲートを有しトンネル電流による電荷の注入及び放出を行ってプログラムを行う不揮発性メモリと、所望の論理機能を有するロジック回路とを形成するとともに、前記両不揮発性メモリのゲート絶縁膜及びこれらの両不揮発性メモリに高電圧を供給する回路としての高耐圧トランジスタのゲート絶縁膜を同時に形成した同一膜厚の絶縁膜で構成したことを特徴とする半導体装置。

2. 単一の半導体基板上に不揮発性メモリのゲート絶縁膜となる厚肉の絶縁膜を積層するとともに、この絶縁膜の上面に不揮発性メモリの浮遊

ゲート形成用の導電膜を積層し、ロジック回路形成領域に位置する前記絶縁膜及び導電膜を除去した後、上面に不揮発性メモリのゲート間絶縁膜及びロジック回路のゲート絶縁膜となる薄膜の絶縁膜とゲート形成用の導電膜とを順次積層し、エッチングを施し半導体基板上の不要の絶縁膜及び導電膜を除去する工程を経て、浮遊ゲートを有し前記基板内で発生したホットエレクトロンを注入してプログラムを行う不揮発性メモリと、浮遊ゲートを有しトンネル電流による電荷の注入及び放出を行ってプログラムを行う不揮発性メモリと、所望の論理機能を有するロジック回路とを該単一の半導体基板上に形成することを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、単一の半導体基板上に機能論理回路や情報記憶回路等を複合形成した多機能形の半導

体装置及びその製造方法に係わり、特に情報記憶回路として、不揮発性を有する浮遊ゲート型メモリを使用し、不揮発性メモリ内蔵の1チップ型マイコンとして、例えばICカード用の装置等の広範な用途に用いて最適な半導体装置及びその製造方法に関する。

(従来技術)

電氣的にプログラム可能で、不揮発性を有するメモリ(半導体装置)としては、第3図及び第4図に示すEPROMや $E^2$ PRPMが一般に知られている。

即ち、第3図に示すEPROMは、シリコン基板(半導体基板)20上の厚い酸化膜で形成した各素子分離膜21、21間に、ゲート絶縁膜(酸化膜)2aを介して浮遊ゲート2bを、更にこの上にゲート間絶縁膜(酸化膜)2cを介して制御ゲート2dを夫々設けるとともに、前記シリコン基板20の上面の前記浮遊ゲート2bを挟む位置に該基板20と逆伝導型のドレイン2e及びソース2fを形成したEPROMセル2を設けたもの

領域3fと浮遊ゲート3bの間のゲート絶縁膜3aの一部に薄肉のトンネル絶縁膜3a'を形成した $E^2$ PRPMセル3を設けたものである。

そして、情報の書き込みは、このゲート絶縁膜3aのトンネル絶縁膜3a'でのトンネル電流によって行われる。この場合、浮遊ゲート3bへの電荷の注入及び放出は、共に高電圧パルスで制御ゲート3eまたは不純物領域3fに印加することによって行われるので、電氣的な消去が可能になっている。

一方、通常の論理デバイスとしては、第5図に示すような構造が一般に採用されている。

即ち、例えば相補型MOS構成の場合には、半導体基板(P型シリコン基板)40上の各素子分離膜41、41間の夫々の領域に、ゲート酸化膜4aを介してゲート4bを備えるとともに、基板40に該基板40と逆伝導型のドレイン4c及びソース4dを形成したNチャンネルトランジスタ4と、この基板40と逆伝導型のウェル(nウェル)50上にゲート酸化膜5aを介してゲート

である。

そして、情報の書き込みは、ソース2fを接地し、ドレイン2e及び制御ゲート2dに高電圧を印加して、ドレイン2eの近傍で発生したホットキャリアを浮遊ゲート2bに注入することによって行われ、情報の消去は、パッケージに設けられた石英窓(図示せず)を通して紫外線を照射して、浮遊ゲート2bに蓄積した電子を放出することによって行われるようになっている。

また、第4図に示す $E^2$ PRPMは、シリコン基板(半導体基板)30上の各素子分離膜31、31間に、ゲート絶縁膜(酸化膜)3aを介して浮遊ゲート3bとトランジスタゲート3cとを並列的に、更にこの浮遊ゲート3b上にゲート間絶縁膜(酸化膜)3dを介して制御ゲート3eを夫々設けるとともに、前記シリコン基板30の上面に該基板30と逆伝導型の不純物領域3fとドレイン3g及びソース3hとを夫々形成することによって、選択用トランジスタ3iとメモリトランジスタ3jとを並列的に構成し、更に前記不純物

5bを備えるとともに、このウェル50と逆伝導型のドレイン5c及びソース5dを形成したPチャンネルトランジスタ5とが配置され、これらを組合わせて配線することにより、所望の機能を有する論理デバイスが実現されている。

前記各デバイスは、従来、一般に各々別々に製造され、個々の目的を有するメモリLSIまたは論理LSIとして供給され、所望の組合わせにより使用されていた。

(発明が解決しようとする課題)

ところで、近年これらのデバイスを単一の半導体基板上に形成し、メモリとロジックとを混載した1チップ化LSIの開発が進められている。特に、ICカードへの応用等の面から不揮発性のメモリを混載したデバイスが必要となっている。

ここに、不揮発性メモリとしては、一般に前記EPROMや $E^2$ PRPM等の浮遊ゲート型の構造を持つものが一般的であるが、そのいずれもが、通常プログラム動作時に高電圧が印加され、しかもEPROMや $E^2$ PRPMとでは、使用してい

る電圧が異なっているため、ゲート絶縁膜の膜厚の設定値も異なっている。更に、ロジックデバイスでは、このような高電圧を印加する必要がないため、素子の特性を最大限に生かせるように、不揮発性メモリに比べると比較的薄いゲート絶縁膜が一般に使用されている。

従って、これらのデバイスを単一の基板上に形成しようとする場合、各々のデバイスに必要とされる膜厚のゲート絶縁膜を形成する必要がある、非常に複雑な製造工程となっており、十分な歩留まりを確保することができないばかりでなく、安定した特性のデバイスを製造することが一般にかなり困難であるといった問題点があった。

本発明は上記に鑑み、EPROMや $E^2$  PROM等の不揮発性のメモリと、ロジックデバイスを単一の半導体基板上に形成するにあたり、使用するゲート絶縁膜の膜厚をできるだけ統一することによって、製造プロセスを簡単にし、もって製造工程の短縮化を図るとともに、製品特性のばらつきの低減を図り、更に製造歩留まりの

向上を図ったものを提供することを目的とする。

#### (発明の構成)

##### (課題を解決するための手段)

上記目的を達成するため、本発明にかかる半導体装置は、単一の半導体基板上に、浮遊ゲートを有し前記基板内で発生したホットエレクトロンを注入してプログラムを行う不揮発性メモリと、浮遊ゲートを有しトンネル電流による電荷の注入及び放出を行ってプログラムを行う不揮発性メモリと、所望の論理機能を有するロジック回路とを形成するとともに、前記両不揮発性メモリのゲート絶縁膜及びこれらの両不揮発性メモリに高電圧を供給する回路としての高耐圧トランジスタのゲート絶縁膜を同時に形成した同一膜厚の絶縁膜で構成したものである。

また、上記半導体装置の製造方法は、単一の半導体基板上に不揮発性メモリのゲート絶縁膜となる原肉の絶縁膜を積層するとともに、この絶縁膜の上面に不揮発性メモリの浮遊ゲート形成用の第1の導電膜を積層し、ロジック回路形成領域に位

置する前記絶縁膜及び導電膜を除去した後、上面に不揮発性メモリのゲート間絶縁膜及びロジック回路のゲート絶縁膜となる薄膜の絶縁膜とゲート形成用の第2の導電膜とを順次積層し、エッチングを施し半導体基板上の不要の絶縁膜及び導電膜を除去する工程を経て、浮遊ゲートを有し前記基板内で発生したホットエレクトロンを注入してプログラムを行う不揮発性メモリと、浮遊ゲートを有しトンネル電流による電荷の注入及び放出を行ってプログラムを行う不揮発性メモリと、所望の論理機能を有するロジック回路とを該単一の半導体基板上に形成するようにしたものである。

#### (作 用)

上記のように構成した本発明によれば、浮遊ゲートを有し前記基板内で発生したホットエレクトロンを注入してプログラムを行う不揮発性メモリと、浮遊ゲートを有しトンネル電流による電荷の注入及び放出を行ってプログラムを行う不揮発性メモリと、所望の論理機能を有するロジック回路とは、単一の半導体基板上に形成され、メモリと

ロジックとを混載した1チップ化LSIが実現できるとともに、前記両不揮発性メモリのゲート絶縁膜及びこれらの両不揮発性メモリに高電圧を供給する回路としての高耐圧トランジスタのゲート絶縁膜は、同時に形成した同一膜厚の絶縁膜で構成されているので、膜厚をできるだけ均一にして製造プロセスの簡略化を図ることができる。

#### (実施例)

以下、本発明の実施例を図面を参照して説明する。

第1図は、本発明に係る半導体装置の一実施例を示すもので、単一の半導体基板としてのP型シリコン基板10の各素子分離膜11、11間の所定位置には、これと逆伝導型のnウェル12が形成されているとともに、この各素子分離膜11、11間には、EPROMセル2、 $E^2$  PROMセル3、ロジックNチャンネルトランジスタ4、ロジックPチャンネルトランジスタ5及び上記EPROMセル2、 $E^2$  PROMセル3に高電圧を供給する回路としての高耐圧トランジスタ6が

夫々形成されている。

このEPROMセル2は、前記第3図に示すものとはほぼ同様な構成で、ゲート絶縁膜(酸化膜)2aを介して浮遊ゲート2bが、更にこの上にゲート間絶縁膜(酸化膜)2cを介して制御ゲート2dが夫々設けられているとともに、この浮遊ゲート2bを挟む位置に該基板10と逆伝導型のドレイン2e及びソース2fが形成されて構成されている。

また、 $E^2$  PROMセル3は、前記第4図に示すものとはほぼ同様な構成で、ゲート絶縁膜(酸化膜)3aを介して浮遊ゲート3b及びトランジスタゲート3cとが並列的に、更にこの浮遊ゲート3b上にゲート間絶縁膜(酸化膜)3dを介して制御ゲート3eが夫々設けられ、この基板10の上面に該基板10と逆伝導型の不純物領域3fとドレイン3g及びソース3hとが夫々形成され、これによって選択用トランジスタ3iとメモリトランジスタ3jとが並列的に構成され、更に前記不純物領域3fと浮遊ゲート3bの間のゲート絶

縁膜3aの一部には、薄肉のトンネル絶縁膜部3a'が形成されて構成されている。

更に、ロジックNチャンネルトランジスタ4及びロジックPチャンネルトランジスタ5は、前記第5図に示すものとはほぼ同様な構成で、ゲート酸化膜4aを介してゲート4bを備えるとともに、基板10に該基板10と逆伝導型のドレイン4c及びソース4dを形成してNチャンネルトランジスタ4が、この基板10と逆伝導型のnウェル12上にゲート酸化膜5aを介してゲート5bを備えるとともに、このnウェル12と逆伝導型のソース5c及びドレイン5dを形成してPチャンネルトランジスタ5が夫々構成されている。

また、高耐圧トランジスタ6は、ゲート酸化膜6aを介してゲート6bを備えるとともに、基板10にソース6c及びドレイン6dを形成することによって構成されている。

そして、上記EPROMセル2のゲート絶縁膜2a、 $E^2$  PROMセル3のゲート絶縁膜3a及び高耐圧トランジスタ6のゲート絶縁膜6aは、

高電圧を印加する必要上、比較的厚い絶縁膜である必要があるが、これらの絶縁膜は同時に形成した同一膜厚の絶縁膜で構成されている。

また、EPROMセル2のゲート間絶縁膜2c、 $E^2$  PROMセル3のゲート間絶縁膜3dはシリコン基板10上に熱酸化によって形成した場合に比べて、多結晶シリコンよりなる2b、3b上ではより厚く形成される事と、Nチャンネルトランジスタ4のゲート絶縁膜4a及びPチャンネルトランジスタ5のゲート絶縁膜5aは、それ程厚い膜厚の絶縁膜である必要はない事から、これらの絶縁膜は同時に形成した絶縁膜で構成されている。

このように、絶縁膜の膜厚をできるだけ統一することによって、製造プロセスを簡略にして、製造工程の短縮化を図るようになっている。

第2図は、前記不揮発性メモリとロジック回路を混載した半導体装置の一製造例を示すもので、先ず、同一の半導体基板としてのP型シリコン基板10上のロジック部におけるPチャンネルトランジスタ5の形成領域に、該基板10と逆伝導型

のウェル、即ちnウェル12を、例えばリンのイオン注入により形成し、しかる後に厚い酸化膜等によりなる素子分離膜11、11…を公知の方法により形成する。そして、 $E^2$  PROM部のトンネル領域の不純物領域3fたるn<sup>-</sup>領域を、例えばヒ素のイオン注入により形成した後、高耐圧系のゲート絶縁膜、即ちEPROMセル2のゲート絶縁膜2a、 $E^2$  PROMセル3のゲート絶縁膜3a及び高耐圧トランジスタ6のゲート絶縁膜6aを構成するものとして、例えば400Å程度の膜厚の酸化膜13を形成する(同図(a))。

次に、 $E^2$  PROM部のトンネル酸化膜3a'の形成領域3a'の酸化膜13を除去するため、フォトレジスト14を塗布し、このフォトレジスト14をパターニングした後、これをマスクとして酸化膜13のエッチングを行う(同図(b))。

そして、この状態で、例えば100Å程度の酸化膜を成長させて、薄肉のトンネル酸化膜3a'を形成し、更にゲート形成用、即ちEPROMの浮遊ゲート2b、 $E^2$  PRPMの浮遊ゲート3b

及び高耐圧トランジスタ7のゲート7bとなる第1の多結晶シリコン15を全面に堆積させる(同図(c))。

しかる後に、ロジックトランジスタ部における第1の多結晶シリコン15及び酸化膜13のみを除去し、Nチャンネルトランジスタ4のゲート絶縁膜4a、Pチャンネルトランジスタ5のゲート絶縁膜5a、EPROMセル2のゲート間絶縁膜2c及び $E^2$  PROMセル3のゲート間絶縁膜3dとなる酸化膜16を例えば250Åの膜厚で同時に形成する。更に、この上面にNチャンネルトランジスタ4のゲート4b、Pチャンネルトランジスタ5のゲート5b、EPROMセル2の制御ゲート2d及び $E^2$  PROMセル3の制御ゲート3eとなる第2の多結晶シリコン17を全面に堆積させる(同図(d))。

そして、ロジックトランジスタ部のNチャンネルトランジスタ4のゲート4bと、Pチャンネルトランジスタ5のゲート5bをパターンニングする。この際、必要であれば、同図に示すようにロジッ

ク部のトランジスタ構造は、いわゆるLDD構造として良い。そして、EPROMセル2のゲート2b、2d、 $E^2$  PROMセル3のゲート3b、3e及び高耐圧トランジスタ6のゲート6bを多結晶シリコン15、17を自己整合的にエッチングして形成し、更に各々のトランジスタのソース及びドレインとなる $n^+$ 及び $p^+$ 領域を、各々例えばヒ素及びボロンのイオン注入により形成する(同図(e))。

そして図示しないが最後に、保護膜を堆積し、コンタクト穴の開口及び配線を施して半導体装置を完成させるのである。

この実施例では、ゲート絶縁膜の形成工程は、第1の厚い、例えば400Å程度の酸化膜13の形成、100Å程度のトンネル酸化膜3a'の形成、ロジック部の250Å程度の酸化膜16の形成のみで、EPROMセル2、 $E^2$  PROMセル3及びロジック回路を同一基板10上に形成して半導体装置を構成したので、製造工程の簡略化を図ることができる。

#### 〔発明の効果〕

本発明は上記のような構成であるので、浮遊ゲートを有し前記基板内で発生したホットエレクトロンを注入してプログラムを行う不揮発性メモリと、浮遊ゲートを有しトンネル電流による電荷の注入及び放出を行ってプログラムを行う不揮発性メモリと、所望の論理機能を有するロジック回路とは、単一の半導体基板上に形成され、メモリとロジックとを混載した1チップ化LSIが実現できる。

しかも、EPROMや $E^2$  PROM等の不揮発性メモリを混載したロジックデバイスを製造するに際し、高耐圧を必要とするゲート絶縁膜を同時に形成し、膜厚が薄くても良いロジックトランジスタのゲート絶縁膜は別に同時に形成することができ、これによって製造工程の簡略化を図るとともに、デバイスの特性のばらつきを減少させることができる。

更に、工程が減少するため、製造歩留まりの向上を図ることができるといった効果がある。

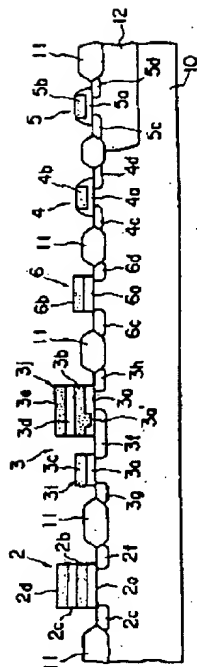
#### 4. 図面の簡単な説明

第1図は本願発明に係る半導体装置の保護膜堆積前の状態の一実施例を示す断面図、第2図は本願発明に係る半導体装置の製造方法の一実施例を工程順に示す断面図、第3図は従来のEPROMの保護膜堆積前の状態を示す断面図、第4図は同じく $E^2$  PROMの保護膜堆積前の状態を示す断面図、第5図は同じく論理デバイスの保護膜堆積前の状態を示す断面図である。

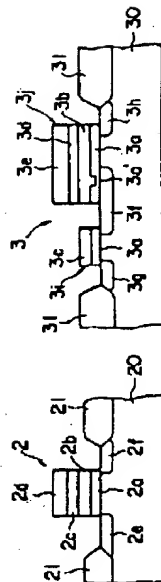
2…EPROMセル、2a…同ゲート絶縁膜、2b…同浮遊ゲート、2c…同ゲート間絶縁膜、2d…同制御ゲート、3… $E^2$  PROMセル、3a…同ゲート絶縁膜、3b…同浮遊ゲート、3d…同ゲート間絶縁膜、3e…同制御ゲート、4…Nチャンネルトランジスタ、4a…同ゲート絶縁膜、4b…同ゲート、5…Pチャンネルトランジスタ、5a…同ゲート絶縁膜、5b…同ゲート、6…高耐圧トランジスタ、6a…同ゲート絶縁膜、6b…同ゲート、10…半導体基板(P型シリコン基板)、11…素子分離膜、12… $n$ ウ

ェル、13、16…酸化膜、15、17…多結晶シリコン。

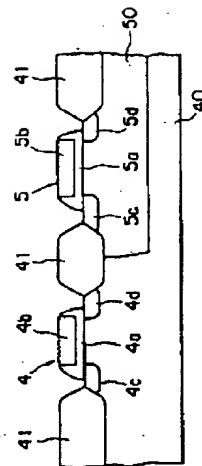
出願人代理人 佐 藤 一 雄



第 1 図



第 3 図



第 5 図



